

بسمه تعالی



دانشگاه صنعتی همدان

گروه مهندسی برق

اطلاعیه دفاع پایان نامه کارشناسی ارشد

طراحی مدار بیشینه یاب برای کاربرد های نورومورفیک

ارائه دهنده: علی قرائتی

مکان: کلاس ۱۰۴ ساختمان اصلی

زمان: شنبه - ۱۴۰۲/۱۱/۲۸ - ساعت ۱۴

استاد راهنما: دکتر زهرا سهرابی	مرتبه علمی: استادیار	دانشگاه: بوعلی سینا همدان
استاد داور داخلی: دکتر علیرضا کوكبی	مرتبه علمی: استادیار	دانشگاه: صنعتی همدان
استاد داور خارجی: دکتر عباس رضانی	مرتبه علمی: استادیار	دانشگاه: بوعلی سینا همدان

چکیده:

در این پایان نامه یک ساختار جدید برای پیاده سازی آنالوگ مدار های بیشینه یاب ارائه شده است. مدار های بیشینه یاب (Winner-Take-All) یکی از اجزای تشکیل دهنده یک شبکه عصبی بیولوژیکی می باشد که معمولا به عنوان یک مقایسه کننده جریان یا یک بلوک انتخاب گر استفاده می شود و ورودی با مرتبه بالا را تشخیص می دهد. این مدارها در طبقه بندی و مرتب سازی داده های پیچیده و حل محاسبات کاربرد دارند. به ویژه به منظور پیاده سازی

یادگیری در یک شبکه نورومورفیک، برای تعیین افزایش یا کاهش وزن سیناپس به یک مدار بیشینه یاب نیاز است. هدف از این پروژه طراحی یک مدار بیشینه یاب دو ورودی در کاربرد نورومورفیک با استفاده از ساختارهای جدید می باشد که بتواند در ولتاژ تغذیه کم به کار خود ادامه دهد و سرعت و دقت خوبی داشته باشد. بنابراین در این پایان نامه یک مدار بیشینه یاب دو ورودی که ساختار آن مبتنی بر یک مقایسه کننده ولتاژ بدون کلاک با تکنیک راه اندازی ماسفت از طریق پایه بالک به همراه مدار مبدل جریان به ولتاژ می باشد طراحی و پیاده سازی شده است که می تواند در ولتاژ تغذیه کم به کار خود ادامه دهد و دارای عملکرد خوبی می باشد. بنابراین ابتدا به کاربرد این مدار پرداخته می شود، سپس مداری با ویژگی های بهبود یافته با ترندهای پیاده سازی، طراحی و شبیه سازی می شود. طرح پیشنهادی اول قادر است با رزولوشن $5\mu A$ با توان مصرفی $18.35\mu w$ کار بکند. طرح پیشنهادی دوم قادر است با رزولوشن $3\mu A$ با توان مصرفی $18.67\mu w$ کار بکند. هر دو مدار با تکنولوژی TSMC 180nm CMOS در نرم افزار کیدنس طراحی شده اند و با ولتاژ تغذیه 0.6 ولت فعالیت می کنند.