طراحی مدار بیشینه یاب برای کاربرد های نورومورفیک

علی قرائتی، دکتر زهرا سهرابی

گروه مهندسی برق، دانشگاه صنعتی همدان

Sohrabi.z@gmail.com

هفته ملی پژوهش و فناوری

نمایشگاه هفته پژوهش و فناوری
دانشگاه صنعتی همدان
آذر1402

چکیده

مدار های بیشینه یاب یکی از اجزای تشکیل دهنده یک شبکه عصبی بیولوژیکی می باشد که معمولا به عنوان یک مقایسه کننده جریان یا یک بلوک انتخاب گر استفاده می شود و ورودی با مرتبه بالا را تشخیص می دهد. این مدارها در طبقه بندی و مرتب سازی داده های پیچیده و حل محاسبات کاربرد دارند. به ویژه به منظور پیاده سازی یادگیری در یک شبکه نورومورفیک، برای تعیین افزایش یا کاهش وزن سیناپس به یک مدار بیشینه یاب نیاز است. هدف از این پروژه طراحی یک مدار بیشینه یاب در کاربرد نورومورفیک با استفاده از ساختارهای جدید می باشد که بتواند در ولتاژ تغذیه کم به کار خود ادامه دهد و سرعت و دقت خوبی داشته باشد. بنابراین در این پایان نامه یک مدار مقایسه کننده ولتاژ بدون کلاک با تکنیک راه اندازی ماسفت از طریق پایه بالک طراحی و پیاده سازی شده است که می تواند در ولتاژ تغذیه کم به کار خود ادامه دهد و دارای عملکرد خوبی می باشد.

واژه های کلیدی : پیاده سازی آنالوگ، مدار نورومورفیک، مدار بیشینه یاب، CMOS

مقدمه

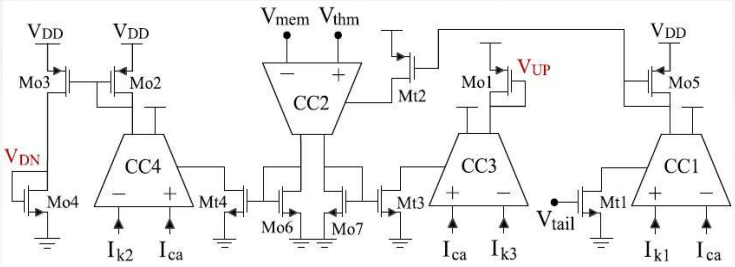
استفاده از مدار های نورومورفیک به منظور پیاده سازی سیستم های الکترونیکی الهام گرفته از مغز در حال گسترش است. شبکه های عصبی اسپایکی یک نمونه شناخته شده است که با استفاده از آن می توان ویژگی های محاسباتی سیستم های عصبی را ارزیابی نمود. یک شبکه عصبی شامل مجموعه ای از نورونهاست که توسط سیناپس به یکدیگر متصل شده اند. شبکه های عصبی حجم زیادی از داده را پردازش می کنند و یا الگوهای پیچیده ورودی را دسته بندی می کنند. بدین منظور می بایست شبکه عصبی قابلیت یادگیری یا به روز رسانی وزن سیناپسی را داشته باشد. یکی از روش های یادگیری متداول، یادگیری مبتنی بر نورون های بیولوژیک است که انعطاف پذیری وابسته به زمان اسپایک، نامیده می شود. در این روش با توجه فاصله بین اسپایک پیش و پس سیناپسی، وزن سیناپس تنظیم می شود. یکی از مکانیزمهایی که در مسئله یادگیری و به روز رسانی وزن سیناپسی اهمیت دارد، مکانیزم مقایسه است که برای پیاده سازی آن از مدارهای بیشینه یاب استفاده می شود. این مدارها مقایسه گر های مد جریانی هستند که بین تعداد زیادی از ورودی ها، مقدار ماکزیمم را انتخاب می‌کنند. با توجه به آنکه توان مصرفی و مساحت شبکه عصبی پیاده سازی شده ترانزیستوری باید تا حد امکان کم باشد، پیاده سازی بهینه این بخش از مدار اهمیت زیادی دارد.

اهداف و روش پژوهش

- طراحی مدار بیشینه یاب با کار برد به روزرسانی وزن سیناپس با مقایسه سیگنالهای ورودی و تشخیص سیگنال برنده در خروجی
- طراحی مدار بیشینه یاب با ولتاژ تغذیه کم با حفظ سرعت و دقت
- مطالعه منابع و مراجع موجود و تلاش برای بهبود مشخصات مدار به ویژه دستیابی به دقت بالا و توان مصرفی کم و بررسی ساختارهای مختلف مدار بیشینه یاب که برای کاربردهای نورومورفیک مناسب هستند

یافته‌های پژوهش

به منظور شبیه سازی هرچه بهتر رفتار مغز، می بایست تعداد هزاران نورون و میلیونها سیناپس در یک شبکه در نظر گرفته شوند. بنابراین به هنگام پیاده سازی مداری اجزای تشکیل دهنده این شبکه ها می بایست توان مصرفی و فضای اشغالی را تا حد امکان کاهش داد. لذا مدارهایی که سابقا برای پیاده سازی این اجزا مورد استفاده قرار گرفته اند باید بازبینی شوند تا بتوان از آنها در ولتاژ تغذیه کم نیز استفاده نمود. استفاده از مدار های نورومورفیک به منظور پیاده سازی سیستم های الکترونیکی الهام گرفته از مغز در حال گسترش است. یکی از بخش های مدار های نورومورفیک ، مقایسه گر های بیشینه یاب هستند که با پیدا کردن سیگنال ورودی با بزرگترین مقدار از بین سیگنال های ورودی اعمال شده، مقدار آن سیگنال و یا شماره ورودی متناظر با آن را به عنوان خروجی به خروجی مدار منتقل می کنند. مقایسه گر های بیشینه یاب از مدار های پر کاربرد در سیستم های مجتمع آنالوگ می باشند و در پیاده سازی شبکه های عصبی آنالوگ و پردازش تصویر بکار می روند . این مدار ها در شبکه های عصبی برای پیاده سازی رفتار نورون ها و مدل سازی مداری آنها ، در پردازش تصویر برای انجام اعمالی مانند تشخیص الگو بکار می روند . از نظر روش پیاده سازی سه ساختار برای این نوع مدار ها تا کنون گزارش شده است. ساختار اول حوزه جریان[1]و[2] می باشد که در این ساختار مقایسه تمام ورودی ها در یک لحظه بصورت همزمان انجام می شود و جنس سیگنال های ورودی جریان می باشد و این ساختار به علت سادگی در پیاده سازی و تعداد کم ترانزیستور ها کاربرد فراوانی در پیاده سازی شبکه های عصبی دارد اما اشکالاتی از قبیل مساله پایداری و مشخص نبودن شماره ورودی متناظر با خروجی را دارد . ساختار دوم حوزه ولتاژ [3] می باشد که این ساختار باعث بدست آمدن دقت بهتر و پیچیدگی بیشتر مدار می شود و جنس سیگنال های ورودی ولتاژ می باشد . ساختار سوم حوزه زمان[4]و [5] می باشد که در آن ابتدا سیگنال ورودی به یک تاخیر زمانی تبدیل می شود و سپس با استفاده از مقایسه کننده حوزه زمان سیگنال برنده مشخص می شود. این مدار ها از لحاظ نوع سیگنال ورودی به دو صورت جریانی و ولتاژی پیاده سازی می شوند که با توجه به نوع ساختار مورد استفاده و نوع کاربرد متفاوت می باشند.



شکل۱. ساختار یک مدار بیشینه یاب

راهبردهای پیشنهادی

در چند دهه اخیر، توجه زیادی به طراحی مدارهای مجتمع با ولتاژ تغذیه و توان مصرفی پایین شده است. در میان بسیاری از تکنیک‌های مورد استفاده برای طراحی مدارهای آنالوگ با ولتاژ تغذیه و توان مصرفی کم ، تکنیک راه اندازی ماسفت از طریق پایه بالک مسیر امیدوارکننده‌ای را به سمت این طراحی برای بسیاری از جنبه‌ها ارائه می‌دهد که عمدتاً سادگی و استفاده از فناوری MOS برای اجرای این طرح‌ها است. استفاده از تکنیک راه اندازی ماسفت از طریق پایه بالک به این صورت می باشد که با اعمال کردن یک سیگنال ورودی به پایه بالک، می توان ولتاژ آستانه را کاهش داد. از مزایای استفاده از این روش می توان به کاهش ولتاژ تغذیه و توان مصرفی مدار، طراحی ساده و ویژگی های قابل قبول آن اشاره کرد. امروزه از این تکنیک می توان در طراحی مداری آینه های جریان، مدارات OTA، مدارات CCII و مدارات CDTA استفاده کرد.

منابع

[1] M. Akbari and K. -T. Tang, "Low-Voltage Implementation of Neuromorphic Circuits for a Spike-Based Learning Control Module," in IEEE Access, vol. 10, pp. 2619-2630, 2022, doi : 10.1109/ACCESS.2021.3139387.

[2] G. Rovere, Q. Ning, C. Bartolozzi and G. Indiveri, "Ultra low leakage synaptic scaling circuits for implementing homeostatic plasticity in neuromorphic architectures," 2014 IEEE International Symposium on Circuits and Systems (ISCAS), 2014, pp. 2073-2076, doi : 10.1109/ISCAS.2014.6865574.

[3] M. Rahman, K. L. Baishnab and F. A. Talukdar, "A high speed and high resolution VLSI Winner-take-all circuit for neural networks and fuzzy systems," 2009 International Symposium on Signals, Circuits and Systems, 2009, pp. 1-4, doi: 10.1109/ISSCS.2009.5206225.

[4] Z. Chen, J. Zhang, S. Wen, Y. Li and Q. Hong, "Competitive Neural Network Circuit Based on Winner-Take-All Mechanism and Online Hebbian Learning Rule," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 29, no. 6, pp. 1095-1107, June 2021, doi: 10.1109/TVLSI.2021.3069221.

[5] احسان رحیمی نژاد؛ محمدرضا غفاری؛ مریم زارع؛ مهدی صابری. "طراحی مدار بیشینه یاب حوزه زمان CMOS تمام مقیاس ، مناسب برای ولتاژهای تغذیه بسیار پایین". *فصلنامه صنایع الکترونیک*, 11, 3, 1399, 5-14.

تایید استاد راهنما

نام و امضا استاد راهنما :

تایید تحصیلات تکمیلی :

تایید امور پژوهشی: